

(19) Japan Patent Office (JP)

(12) Published Patent Application (A)

(11) Patent Application Laid-Open No.: H2-44769

(43) Laid-Open Date: February 14th, 1990

(51) Int. Cl.⁵ Identification Symbol Internal File Number

H 01 L 27/12 A 7514-5F

G 02 F 1/136 500 7370-2H

8624-5F H 01 L 29/78 311 A*

Request of Examination: not filed

The Number of Claims: 7 (6 pages in total)

(54) [Name of Invention] Thin Film Transistor

(21) Application No.: S63-194422

(22) Application Date: August 5th, 1988

(72) Inventor: Etsuko KIMURA

c/o Hitachi Research Laboratory, Hitachi Ltd.

4026, Kuji-cho, Hitachi, Ibaraki

(72) Inventor: Akio MIMURA

c/o Hitachi Research Laboratory, Hitachi Ltd.

4026, Kuji-cho, Hitachi, Ibaraki

(72) Inventor: Dai WATANABE

c/o Hitachi Research Laboratory, Hitachi Ltd.

4026, Kuji-cho, Hitachi, Ibaraki

(72) Inventor: Takashi SUZUKI

c/o Hitachi Research Laboratory, Hitachi Ltd.

4026, Kuji-cho, Hitachi, Ibaraki

(71) Applicant: Hitachi Ltd.

4-6, Kanda Surugadai, Chiyoda-ku, Tokyo

(74) Representative: Patent Attorney Katsuo Ogawa (and two others)

continued to the last page

Specification

1. Name of Invention

Thin Film Transistor

2. Scope of Claim

1. A thin film transistor comprising a semiconductor layer formed of polycrystal silicon or amorphous silicon,

wherein an interlayer insulating film between a gate electrode and a display electrode is formed of a stacked-layer structure of two or more layers formed of at least two insulating films with different characteristics;

wherein at least one or more layers of the interlayer insulating film has a charge holding capacitor sandwiched between a pixel electrode connected to the display electrode and a bottom electrode formed of a transparent conductive film provided under the interlayer insulating film;

wherein the number of stacked insulating films is smaller in the charge holding capacitor than the interlayer insulating film; and

wherein a thickness of the interlayer insulating film is thicker than the insulating film of the charge holding capacitor.

2. The thin film transistor according to claim 1,

wherein the interlayer insulating film has a stacked-layer structure of a plurality of kinds of insulating films with different etching resistance; and

wherein the insulating films are combined so that a lower layer has superior etching resistance to an upper layer.

3. The thin film transistor according to claim 1,

wherein a first layer of the interlayer insulating film is a SiO₂ film formed by an ECR microwave plasma CVD method; and

wherein a second layer is a SiO₂ film or a PSG film formed by a normal pressure CVD method.

4. The thin film transistor according to claim 1,

wherein the first layer of the interlayer insulating film is a SiO₂ film formed by the normal pressure CVD method; and

wherein the second layer is a PSG film formed by the normal pressure CVD method.

5. The thin film transistor according to claim 1,

wherein the first layer of the interlayer insulating film is a SiNx film formed by the plasma CVD method; and

wherein the second layer is a SiO₂ film or a PSG film formed by the normal pressure CVD method.

6. The thin film transistor according to claim 1,

wherein the first layer of the interlayer insulating film is a SiO₂ film or a PSG film formed by the normal pressure CVD method;

wherein the second layer is a SiNx film formed by the plasma CVD method; and

wherein a third layer is a SiO₂ film or a PSG film formed by the normal pressure CVD method.

7. The thin film transistor according to claim 1,

wherein the first layer of the interlayer insulating film is a SiO₂ film or a PSG film formed by the normal pressure CVD method;

wherein the second layer is a SiO₂ film formed by the ECR microwave plasma CVD method; and

wherein the third layer is a SiO₂ film or a PSG film formed by the normal pressure CVD method.

3. Detailed Description of the Invention

[Industrial Field of the Invention]

The invention relates to a thin film transistor which can be used as a driving transistor or the like of a flat panel display of liquid crystals, electroluminescence, and the like.

[Prior Art]

In recent years, an active matrix liquid crystal display using thin film transistors (hereinafter abbreviated as TFTs) has been actively developed as a next generation flat panel color display with a large display and high definition. FIG. 2 shows an example of an equivalent circuit of one pixel formed by an active matrix method. Reference numerals 21 and 22 denote gate wires of i-th and (i+1)th columns,

23 and 24 denote drain wires of j-th and (j + 1)th rows, and 25 denotes a common wire of the j-th row, respectively. Further, 26 denotes a switching TFT of the i-th column and j-th row, 27 denotes a charge holding capacitor, and 28 denotes a capacitor of the liquid crystal itself. In the same drawing, the charge holding capacitor 27 functions to compensate the degradation of display quality caused by a leak current increased by a resistance reduction of the liquid crystals and an increased off current of the TFT. FIG. 3 shows cross sectional structures and manufacturing steps of a TFT with a conventional structure having a charge holding capacitor. A semiconductor layer island 302 formed of a polycrystal silicon film is formed over a glass substrate 301 (FIG. 3(a)). Next, a gate oxide film 303 and a second polycrystal silicon film 304 are formed by the CVD method over the semiconductor layer 302 and patterned by photo-etching to form a gate electrode shape (FIG. 3(b)). Then, source-drain regions 305 are formed by ion implantation, thermal diffusion, or the like. Subsequently, a metal film of Al or the like is deposited and a first layer electrode wire 306a (a gate wire and a common wire) is formed by photo-etching. Then, a transparent conductive film of an ITO film or the like is deposited and patterned by photo-etching to form a bottom electrode 307a of the charge holding capacitor (FIG. 3(c)). Subsequently, an interlayer insulating film 308 is formed and contact holes 309 are formed by photo-etching (FIG. 3(d)). Next, after depositing a metal film of Al or the like, a second layer electrode wire 306b (drain wire) is formed by photo-etching (FIG. 3(e)). Finally, a transparent conductive film of an ITO film or the like is deposited and patterned by photo-etching to form a pixel electrode 307b, thereby a charge holding capacitor is formed (FIG. 3(f)). In the structure of FIG. 3f, the interlayer insulating film 308 is used as it is as an insulating film of a charge holding capacitor. The interlayer insulating film 308 is required to have a sufficient thickness of about 1 μm to prevent leakage between wires in a gate portion and a crossed portion and to secure sufficient pressure resistance. On the other hand, a capacitor film of the charge holding capacitor portion is required to be large and an insulating film of the charge holding capacitor portion is required to be sufficiently thin to obtain sufficient display characteristics and operation characteristics. (When capacitance about ten times as large as the capacitor of the liquid crystal itself is

compensated by the charge holding capacitor, the charge holding capacitor is required to have a capacitance of 15 pF since the capacitance of the liquid crystal itself is about 1.5 pF when an area of the pixel display portion is $10000 \mu\text{m}^2$. In the case of using a SiO₂ film as the interlayer insulating film, the SiO₂ film is required to have a thickness of about 2500 Å to realize this capacitance.) By the aforementioned reason, a novel technique is required to form the interlayer insulating film of the gate portion and the crossed portion sufficiently thick and the insulating film of the charge holding capacitor sufficiently thin. The easiest resolution is to form the interlayer insulating film 308 in FIG. 3(d) and then make the thickness of the interlayer insulating film 308 in only the charge holding capacitor portion by photo-etching. However, a PSG film or the like formed by the CVD method is used as the interlayer insulating film 308 in general. These films have high etching rates against a fluorinated acid-based etchant or the like; therefore, it is hard to control the etching. Thus, it is actually difficult to finish etching with a desired thickness.

As a method to achieve the aforementioned purpose without using the aforementioned method, Japanese Patent Document S58-106861 can be suggested. FIG. 4 shows an embodiment thereof. First, a semiconductor island 402 formed of a polycrystal silicon film is formed over a transparent substrate 401 (FIG. 4(a)). A surface of the polycrystal silicon is oxidized to form a gate insulating film 403, a second polycrystal silicon film is formed, and then a gate electrode 404 and a bottom electrode shape 405 of a charge holding capacitor are formed by photo-etching (FIG. 4(b)). Subsequently, regions 404, 405, and 406 undergo impurity doping, then the interlayer insulating film 407 is formed over a whole surface by the CVD method, and the interlayer insulating film over the bottom electrode 405 is removed by photo-etching (FIG. 4(c)). Next, an insulating film 408 of the charge holding capacitor is formed by oxidizing the surface of the bottom electrode 405 in this state (FIG. 4(d)). The following steps are similar to FIGS. 3(d) to 3(f). By this method, the aforementioned purpose can be achieved tentatively. However, the insulating film of the charge holding capacitor is formed by oxidizing polycrystal silicon; therefore, a polycrystal silicon film is used as the bottom electrode 405 of the charge holding capacitor by this

method. Thus, transmittance of the pixel display portion is inevitably decreased. A method to deposit a SiO₂ film by the CVD method is also suggested as a method to form the insulating film 408 of the charge holding capacitor portion. However, in the step of removing the interlayer insulating film 407 formed over the bottom electrode 405 in FIG. 4(c), it is inevitable to use a polycrystal silicon film as the bottom electrode since the transparent conductive film of an ITO film or the like does not have resistance against a general acid, especially a fluorinated acid-based etchant which is used as an etchant of the interlayer insulating film. As a result, reduction of the transmittance of the pixel display portion cannot be avoided.

[Problems to be Solved by the Invention]

As described above, it is difficult by the conventional technique to form the interlayer insulating film in the gate portion and the crossed portion sufficiently thick and to form the insulating film over the bottom electrode formed of a transparent conductive film of an ITO film or the like sufficiently thin with good controllability. Therefore, it is difficult to realize a highly reliable thin film transistor with favorable display characteristics and operation characteristics with preferable yield. A purpose of the invention is to form the interlayer insulating film in the gate portion and the crossed portion sufficiently thick and to form the insulating film of the charge holding capacitor portion sufficiently thin with good controllability in the polycrystal silicon TFT having the charge holding capacitor using a transparent conductive film with superior transmittance, such as an ITO film. Thus, the purpose is to realize a highly reliable polycrystal silicon TFT with favorable display characteristics and operation characteristics with preferable yield.

[Means for Solving the Problems]

The aforementioned purpose can be achieved by forming a plurality of insulating films with different etching resistance so that a lower layer has a superior etching resistance to an upper layer, and forming an insulating film of the capacitor portion over the bottom electrode formed of a transparent conductive film of an ITO film or the like by selectively removing a portion of it only in the charge holding capacitor by utilizing the different etching resistance.

[Effect]

By stacking a plurality of insulating films with different etching resistance to form an interlayer insulating film so that a lower layer has a superior etching resistance to an upper layer and selectively removing a portion of it only in the charge holding capacitor portion by utilizing the different resistance, the interlayer insulating film can be formed thick and the insulating film of the capacitor portion can be formed thin with good controllability even when a transparent conductive film of an ITO film or the like is used as the bottom electrode of the charge holding capacitor. Consequently, a capacitor having sufficient capacitance to display images can be easily formed without occurring defects such as a leakage, a short-circuit, and the like of the wires in the gate portion and the crossed portion, thereby a highly reliable thin film transistor with favorable display characteristics and operation characteristics can be realized with preferable yield.

[Embodiments]

Hereinafter, an embodiment of the invention is described with reference to FIG. 1. FIG. 1 shows cross sectional views and manufacturing steps of a polycrystal silicon TFT as an embodiment of the invention. A SiO₂ film formed by the ECR microwave plasma CVD method is used as a first layer interlayer insulating film and a PSG film formed by the normal pressure CVD method is used as a second layer interlayer insulating film as an example. The SiO₂ film obtained by the ECR microwave plasma CVD method is dense and has an almost equivalent etching rate against a fluorinated acid-based etchant to the SiO₂ film formed by thermal oxidization. On the other hand, the PSG film formed by the normal pressure CVD method is porous in general and has quite a high etching rate against a fluorinated acid-based etchant. (When the etching rate of the ECR microwave plasma CVD-SiO₂ film is 1, the etching rate of the normal pressure CVD-PSG film is 10 to 20.) A selectivity of the first and second layers of the interlayer insulating film against a fluorinated acid-based etchant is sufficiently high, thereby the second layer normal pressure CVD-PSG film only can be selectively removed by etching and the thickness of the insulating film of the charge holding capacitor portion can be formed sufficiently thin with good controllability. In addition,

as the first layer ECR microwave plasma CVD-SiO₂ film which directly contacts the bottom electrode of the charge holding capacitor portion is not required to be removed, a transparent conductive film of an ITO film or the like without resistance against a fluorinated acid-based etchant can be used as the bottom electrode.

It is to be noted that similar can be applied to dry etching as well since a fluorinated acid-based gas is used as an etching gas.

Hereinafter the manufacturing steps are described. First, a semiconductor layer island 102 formed of a polycrystal silicon film is formed over a glass substrate 101 (FIG. 1(a)). Next, a gate oxide film 103 and a second polycrystal silicon film 104 are formed by the normal pressure CVD method over the semiconductor layer 102 and patterned by photo-etching to form a gate electrode shape. Then, a source-drain region 105 is formed by ion implantation. Subsequently, a metal film of Al or the like is deposited and a first layer electrode wire 106a is formed by photo-etching. Then, a transparent conductive film of an ITO film or the like is deposited and patterned by photo-etching, thereby a bottom electrode 107a of a charge holding capacitor is formed (FIG. 3(b)). The steps up to here are the same as the manufacturing steps shown in FIG. 3(a) to (c) of the polycrystal silicon TFT with the conventional structure. Next, the normal pressure CVD-PSG film 109 as the first layer interlayer insulating film is formed over a whole surface with a desired thickness as an interlayer insulating film in the gate portion and the crossed portion. Subsequently, the normal pressure CVD-PSG film is selectively removed in only the charge holding capacitor portion by photo-etching, utilizing the superior etching resistance of the ECR microwave plasma CVD-SiO₂ film to the normal pressure CVD-PSG film (FIG. 3(d)). The following steps are the same as FIGS. 3(d) to 3(f). That is, contact holes are formed by photo-etching and a metal film of Al or the like is deposited, thereby a second layer electrode wire 106b is formed by photo-etching (FIG. 1(e)). Finally, a transparent conductive film of an ITO film or the like is deposited and patterned by photo-etching to form a pixel electrode 307b, thereby a charge holding capacitor is formed (FIG. 1(f)).

In the aforementioned embodiment, the first and second layers of the interlayer insulating film are to be combined so that the first layer has a superior etching resistance

to the second layer so that the second layer only can be selectively etched. For example, a combination of an ECR microwave plasma CVDSiO₂ film as the first layer and a normal pressure CVD-SiO₂ film as the second layer, a combination of a normal pressure CVD-SiO₂ film as the first layer and a normal pressure CVD-PSG film as the second layer, a combination of a plasma CVD-SiNx film as the first layer and a normal pressure CVD-SiO₂ film or a normal pressure CVD-PSG film as the second layer, and the like can be suggested.

Moreover, in the aforementioned embodiment, the interlayer insulating film may have a stacked-layer structure of three layers by using an insulating film with superior etching resistance as the second layer of the interlayer insulating film and using this insulating film as an etching stopper. In this case, an insulating film of the charge holding capacitor portion is formed of the first and second layers of the interlayer insulating film. For example, a combination of a normal pressure CVD-SiO₂ film or a normal pressure CVD-PSG film as the first layer, an ECR microwave plasma CVD-SiO₂ film or a plasma CVC-SiNx film as the second layer, and a normal pressure CVD-SiO₂ film or a normal pressure CVD-PSG film as the third layer, and the like can be suggested.

[Effect of the Invention]

By the invention, even when a transparent conductive film such as an ITO film with superior transmittance is used as a bottom electrode of the charge holding capacitor, the interlayer insulating film can be formed thick and the charge holding capacitor portion can be formed thin with good controllability. Therefore, a capacitor having sufficient capacitance for displaying images can be easily formed without occurring defects of wires in the gate portion and the crossed portion. As a result, a highly reliable thin film transistor with favorable display characteristics and operation characteristics can be formed with preferable yield.

4. Brief Description of the Drawings

FIG. 1 shows cross sectional structures and manufacturing steps of a polycrystal silicon TFT of the embodiment of the invention. FIG. 2 shows an equivalent circuit diagram of one pixel formed by the active matrix method. FIGS. 3

and 4 show cross sectional structures and manufacturing steps of a polycrystal silicon TFT having a conventional structure.

101... glass substrate, 102 and 104... polycrystal silicon films, 103... normal pressure CVD-SiO₂ film, 106a and 106b... Al wires, 107a and 107b... ITO films, 108... ECR microwave plasma CVD-SiO₂ film, 109... normal pressure CVD-PSG film, 105... source-drain region forming portion

Representative: Patent Attorney Katsuo Ogawa

continued from the first page

(51)Int.Cl. ³	Identification Symbol	Internal File Number
H 01 L 21/205 29/784		7739-5F

(72)Inventor: Masao YOSHIMURA

c/o Hitachi Research Laboratory, Hitachi Ltd.
4026, Kuji-cho, Hitachi, Ibaraki

- (18)【発行元】日本特許庁 (JP)
(12)【公報種別】公開特許公報 (A)
(11)【公開番号】特開平2-44769
(43)【公開日】平成2年(1990)2月14日
(54)【発明の名称】薄膜トランジスタ
(61)【国際特許分類第5版】
H01L 27/12
G02F 1/138 500
H01L 21/205
H01L 29/784
【審査請求】*
【全頁数】6
(21)【出願番号】特願昭63-194422
(22)【出願日】昭和63年(1988)8月5日
(71)【出願人】
【識別番号】9999999999
【氏名又は名称】株式会社日立製作所
【住所又は居所】*
(72)【発明者】
【氏名】木村悦子
【住所又は居所】*
(72)【発明者】
【氏名】三村秋男
【住所又は居所】*
(72)【発明者】
【氏名】渡辺大
【住所又は居所】*
(72)【発明者】
【氏名】鈴木達
【住所又は居所】*

(57)【要約】本公報は電子出版前の出願データであるため要約のデータは記録されません。

【特許請求の範囲】

- 1、半導体層に多結晶シリコン又はアモルファスシリコンを用いた源漏トランジスタにおいて、ゲート電極と表示電極との間の層間絶縁膜が少なくとも2種類の特性の異なる絶縁膜で形成された2層以上の積層構造から成り、該層間絶縁膜の少なくとも1層以上が、表示電極に接続された耐圧電極と、該層間絶縁膜の下部に設けた透明導電層より成る下部電極との間にさまれて成る電荷保持用キャパシタを有し、かつ、該層間絶縁膜よりも該電荷保持用キャパシタ部の絶縁膜の膜层数が少なく、該層間絶縁膜の膜厚が該電荷保持用キャパシタ部の絶縁膜の膜厚よりも薄いことを特徴とする特許請求の範囲トランジスタ。
2、層間絶縁膜が、エッティング耐性の異なる複数種の絶縁膜を積層した構造で、下層が上層よりエッティング耐性が優れている絶縁膜の組合せで構成されていることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
3、層間絶縁膜の第一層がE C Rマイクロ波プラズマCVD法により形成したS I O₂膜、第二層が常圧CVD法により形成したS I O₂膜又はP S G膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
4、層間絶縁膜の第一層が常圧CVD法により形成したS I O₂膜、第二層が常圧CVD法により形成したP S G膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
5、層間絶縁膜の第一層がプラズマCVD法により形成したS I N_x膜、第二層が常圧CVD法により形成したS I O₂膜又はP S G膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
6、層間絶縁膜の第一層が常圧CVD法により形成したS I O₂膜又はP S G膜、第二層がプラズマCVD法により形成したS I N_x膜、第三層が常圧CVD法により形成したS I O₂膜又はP S G膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
7、層間絶縁膜の第一層が常圧CVD法により形成したS I O₂膜又はP S G膜、第二層がE C Rマイクロ波プラズマCVD法により形成したS I O₂膜、第三層が常圧CVD法により形成したS I O₂膜又はP S G膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

10

20

30

40

④ 日本国特許庁(JP)

① 特許出願公開

② 公開特許公報(A) 平2-44769

③ Int. Cl.

H 01 L 27/12
G 02 F 1/136

識別記号

序内整理番号
A
7514-5F
7370-2H
8624-5F

④ 公開 平成2年(1990)2月14日

H 01 L 29/76 311 A*

寄查請求 未請求 国外請求の数 7 (全6頁)

⑤ 発明の名称 滑面トランジスタ

⑥ 特願 昭63-194422

⑦ 出願 昭63(1988)8月5日

⑧ 発明者 木村 悅子 滋賀県立市久慈町4026番地 株式会社日立製作所日立研究所内

⑨ 発明者 三村 秋男 滋賀県立市久慈町4026番地 株式会社日立製作所日立研究所内

⑩ 発明者 渡辺 大 滋賀県立市久慈町4026番地 株式会社日立製作所日立研究所内

⑪ 発明者 鈴木 俊 滋賀県立市久慈町4026番地 株式会社日立製作所日立研究所内

⑫ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑬ 代理人 弁理士 小川 勝男 2名

最終頁に続く

明細書

1. 発明の名前

滑面トランジスタ

2. 特許要求の範囲

- 半導体層に多層高シリコンスローフラッシュシリコンを用いた滑面トランジスタにおいて、ゲート電極と共用電極との間に層間絶縁膜が少なくとも2層以上の性質の異なる絶縁膜で形成された2層以上の複数構造から成り、該層間絶縁膜の少なくとも1層以上が、該共用電極に被覆された源漏電極と、該層間絶縁膜の下部に被付けた通電導通路より成る下部電極との間には含まれて成る電荷捕獲層をキャビシタを有し、かつ、該層間絶縁膜よりも該電荷捕獲層をキャビシタ部の絶縁膜の層間膜が少なく、該層間絶縁膜の層間が該電荷捕獲層をキャビシタ部の絶縁膜の層間よりも厚いことを特徴とする滑面トランジスタ。
- 層間絶縁膜が、エッチング耐性の異なる被覆膜の逆剥離を被覆した構造で、下部が上層よりエッチング耐性が弱れている被覆膜の組合せで

構成されていることを特徴とする特許要求の範囲1:滑面トランジスタ。

3. 層間絶縁膜の第一層がECL用マイクロ波ブレーカZVD後により形成したSiO₂膜、第二層が電圧ZVD後により形成したSiO₂膜又はPSG膜であることを特徴とする特許要求の範囲2:滑面トランジスタ。4. 層間絶縁膜の第一層が堆疊CVD法により形成したSiO₂膜、第二層が電圧ZVD後により形成したPSG膜であることを特徴とする特許要求の範囲3:滑面トランジスタ。5. 層間絶縁膜の第一層がグラズマCVD法により形成したSiNx膜、第二層が電圧ZVD後により形成したSiO₂膜又はPSG膜であることを特徴とする特許要求の範囲4:滑面トランジスタ。6. 層間絶縁膜の第一層が堆疊CVD法により形成したSiO₂膜又はPSG膜、第二層がグラズマCVD法により形成したSiNx膜、第三層が電圧ZVD後により形成したSiO₂膜又

特開平2-44769 (2)

は P-S-O 層であることを特徴とする特許請求の被請求第 1 及び被請求の被請求トランジスタ。
す、用開発装置の第一膜が背板 CVD 法により形成した SiO₂ 膜又は P-S-O 層、第二膜が ECR マイクロ波プラズマ CVD 法により形成した SiO₂ 膜、第三膜が背板 CVD 法により形成した SiO₂ 膜又は P-S-O 層であることを特徴とする特許請求の被請求第 1 及び被請求の被請求トランジスタ。

3. 施設の詳細な説明

【施設上の利用分野】

本発明は液晶中エレクトロ・ルミネセンス等の平面ディスプレイの電極用トランジスタ等に利用できる電極トランジスタに関する。

【実施の技術】

近年、大画面、高精細の次世代フラット・パネル、カラーディスプレイとして電極トランジスタ（以下 TFT と略記）を用いたアクティブマトリクス方式液晶ディスプレイの開発が盛んに行なわれている。第 2 図にアクティブマトリクス方式に

よる一層目等の各部構造の一例を示す。2.1、2.2 は I+I 行目のゲート配線、2.3、2.4 は J+J+1 列目のドライン配線、2.5 は J 列目のコモリ配線をそれぞれ示す。また、2.6 は 1 行 1 列目のスイッチングアーティ、2.7 は電荷保持用キャバシタを、2.8 は被請求合体のキャバシタを示す。両面において、電荷保持用キャバシタ 2.7 の表面は、背板の抵抗低下、及び TFT のオフ電流の増加によるリーカ電流の増加が原因である表示品質の低下を緩和することである。第 3 図に電荷保持用キャバシタを有する被請求第 TFT の断面構造及び製造工程を示す。ガラス基板 3.0.1 上に多晶硅シリコン膜から成る半導体層の島 3.0.2 を形成する（第 3 図（a））。次に半導体層 3.0.2 上に CVD 法によりゲート酸化膜 3.0.3 及び次の多晶硅シリコン膜 3.0.4 を形成し、ホト・エッチングによりパターンングしてゲート電極層を形成する（第 3 図（b））。次いで、イオン打ち込み、又は電子ビームによりソース、及びドライン側膜 3.0.5 を形成する。次いでルミ等の金属膜を

設、ホト・エッチングにより一層目の電極膜 3.0.6a（ゲート電極、コモン電極）を形成し、次いで ITO 成膜等の遮光膜電極を堆積して、ホト・エッチングによりパターンング、電荷保持用キャバシタの下部電極 3.0.7a を形成する（第 3 図（c））。次に漏電極膜 3.0.7b を形成し、ホト・エッチングによりコンタクトホール 3.0.8 を形成する（第 3 図（d））。次に A-E 等の金属膜を堆積、ホト・エッチングにより二層目の電極膜 3.0.6b（ドライン電極）を形成する（第 3 図（e））。最後に ITO 電極の透明導電膜を堆積して、ホト・エッチングによりパターンング、電荷保持膜 3.0.7b を形成し、電荷保持用キャバシタを形成する（第 3 図（f））。（f）の構造では、漏電極膜 3.0.8 がその上に電荷保持用キャバシタの絶縁膜として使用されている。漏電極膜 3.0.8 はゲート部及びクロス部の配線層のリーカを防ぎ、十分な耐圧を確保するために漏電率 1 モルの十分厚い膜が必要とされる。一方、十分な電荷保持性及び操作特性を得るために電荷保持キャ

バシタ部の寄生電容を大きくする必要があり、電荷保持用キャバシタ部の絶縁膜の膜厚を十分厚くする必要がある。（被請求合体のキャバシタの約 10 倍の容量を電荷保持用キャバシタで補償する場合、両面表示部の膜厚を 1.000.0 μm とすると、液晶本体の容量は約 1.5 pF となり、電荷保持用キャバシタの容量として 1.5 pF が必要となる。両面表示部として SiO₂ 膜を使用する場合、この寄生電容を実現するためには、SiO₂ 膜の膜厚として約 800 nm 必要となる。）上記の理由より、ゲート部及びクロス部の漏電極膜の膜厚を十分厚く、電荷保持用キャバシタ部の絶縁膜の膜厚を十分厚く形成する技術が新たに必要となる。最も重要な解決策は、第 3 図（4）において漏電極膜 4.0.8 形成後、ホト・エッチングにより電荷保持用キャバシタ部のみ漏電極膜 4.0.8 の膜厚を薄くすることである。しかしながら、一層に漏電極膜 4.0.8 は CVD 法により形成したアセロ成膜等が使用されており、これらの膜のエッジ部等に対するエッティングレートは遅く、エッ

特開平2-44769 (3)

チングの効率が悪い。そのため、表面の膜厚でエッチングを停止することは実際上困難である。

上記の方法によらずに上述の目的を達成する方法として特開昭55-108881が挙げられる。第4回はその実施例である。まず、通常基板401上に多結晶シリコン膜からなる半導体部の島402を形成する(第4回(a))。背起多結晶シリコンの表面を酸化してゲート電極部403を形成し、さらに島2の多結晶シリコン膜を形成し、ホト・エッチングによりゲート電極及び電荷保持キヤバシタの下部電極部404、405を形成する(第4回(b))。次に404、405、406の積成に不純物ドープを施し、次いで厚膜遮蔽膜407とCVD膜により上面を形成後、下部電極405上の厚膜遮蔽膜をホト・エッチングにより取り除く(第4回(c))。次いで、この状態で下部電極405の表面を酸化することにより電荷保持基キヤバシタの上部電極408を形成する(第4回(d))。以下の工程は第3回(d)～(f)と同様である。この方法によれば上述の目的は一

度達成される。しかしながら、この方法では、多結晶シリコンの酸化により電荷保持キヤバシタの遮蔽膜を形成するため、電荷保持用キヤバシタの下部電極405として多結晶シリコン膜を使用することになり、前者の前部の過渡半径の下には避けられない電荷保持基キヤバシタ部の過渡半径408の形成法としてCVD法によりSiO₂膜を堆積する方法も検査しているが、第4回(e)において下部電極405上に形成した厚膜遮蔽膜407を掩蔽する工程があり、ITO膜等の透明導電膜は一層の膜、特に厚膜遮蔽膜のエッチケントであるツブ状エッヂケントに対する耐性がないため、やはり、厚膜遮蔽としての多結晶シリコン膜の使用は避けられない。従って厚膜表示部の過渡半径には避けられなかつた。

(発明が属する技術)

以上述べた間に、従来技術においては、ゲート部及びクリオス部の厚膜遮蔽膜の膜厚を十分厚く、電荷保持基キヤバシタ部においては、ITO膜等の透明導電膜より成る下部電極上に、掩蔽膜を斜斜

せ直し十分薄く形成することが困難であり、したがって、表示特性及び動作特性が良好で信頼性の高い薄膜トランジスタを歩留り良く実現することが困難であった。本発明の目的は、ITO膜等の透明性に優れた透明導電膜を用いた電荷保持基キヤバシタを有する多結晶シリコンで行なうことで、ゲート部及びクリオス部の厚膜遮蔽膜の膜厚が十分高く、電荷保持基キヤバシタ部の遮蔽膜の膜厚が斜斜せ直し十分薄く形成することであり、これにより、表示特性及び動作特性が良好で信頼性の高い多結晶シリコントランジスタを歩留り良く実現することである。

【装置を構成するための手段】

上記目的は、表面のエッチング耐性の異なる遮蔽膜を形成し、下層を上層よりエッチング耐性の弱めた遮蔽膜とする組合せにより、エッチング耐性の違いを利用して電荷保持用キヤバシタ部のみその一部を選択的に露出してITO膜等の透明導電膜より成る下部電極上にキヤバシタ部の遮蔽膜を形成することにより達成できる。

【作用】

基板のエッチング耐性の異なる遮蔽膜を複数して厚膜遮蔽膜を形成し、下層を上層よりされたエッチング耐性を有する組合せとすることにより、耐性の違いを利用して電荷保持基キヤバシタ部の膜その一部を選択的に露出することで、ITO膜等の透明導電膜を電荷保持基キヤバシタの下部電極部に用いた場合でも、厚膜遮蔽膜の膜厚を薄く、キヤバシタ部の遮蔽膜の膜厚を斜斜せ直し十分薄く形成することができる。これにより、ゲート部及びクリオス部の配線のリード、シート等の欠陥を防生することなく、開像表示に十分な表示部を有するキヤバシタを容易に形成でき、表示特性及び動作特性が良好で信頼性の高い薄膜トランジスタを歩留り良く実現できる。

【実施例】

以下、本発明の実施例を第1回を用いて説明する。第1回は本発明の実施例である多結晶シリコンPTTの表面掩蔽膜及び製造工程であり、一周目の厚膜遮蔽膜としてE-C-Sマイクロ波プラズ

特開平2-44769(4)

VCVD法で形成したSiO₂膜、二層目の層間絶縁膜として電圧CV法で形成したPSG膜を備えた例である。ECRマイクロ波プラズマCVD法により得られるSiO₂膜は、膜がち密であり、フッ素系エッチャントに対するエッチンググリードも低濃度化により形成したSiO₂膜とはほぼ同等の値を有する。一方、電圧CV法で形成したSiO₂膜は、一般に膜が多孔質である、フッ素系エッチャントに対するエッチンググリードも極めて大きい。(ECRマイクロ波プラズマCVD-SiO₂膜のエッチンググリードを1とする時、電圧CV-P-SiO₂膜のエッチンググリードは1.0-2.0である。) フッ素系エッチャントに対する二層目と二層目の層間絶縁膜の透光比は十分であり、これにより、二層目が電圧CV-P-SiO₂膜のみを遮断面にエッチング除去して、電荷保持用キャパシタ部の遮断面の露呈を制御性良く十分得くすることができる。加えて電荷保持用キャパシタ部の下部電極に直接接続している一層目がECRマイクロ波プラズマCVD-SiO₂膜を備えす。

る必要がないため、フッ素系エッチャントに対する耐性のないITO膜等の透明導電膜を下部電極に使用することができる。

なお、ドライエッチングにおいても、フッ素系ガスをエッチングガスに用いているため、用意のことが曾える。

以下被説工場を説明する。まず、ガラス基板101上に多結晶シリコン膜から成る半導体層の島102を形成する(第1図(a))。次に、半導体層102上に電圧CV法によりゲート氧化膜103及び第3の多結晶シリコン膜104を形成して、ホト・エッチングによりバーニングしてゲート電極形状を形成する。次いでイオン打込み等によりソース及びドレイン領域105を形成する。次にAl等の金属膜を堆積、ホト・エッチングにより一層目の電極電極106を形成し、次いでITO膜等の透明導電膜を堆積して、ホト・エッチングによりバーニング、電荷保持用キャパシタの下部電極107を形成する(第3図(b))。ここまででの工場は、図3回に示し

た後述装置の多結晶シリコンTFTの前段工場(a)～(c)と同一である。既に、一層目の層間絶縁膜である電圧CV-P-SiO₂膜108を、ゲート部及びクロス部の電界遮断膜の順序として露呈の露呈だけ表面に形成する。次いで、ECRマイクロ波プラズマCVD-SiO₂膜の方が電圧CV-P-SiO₂膜よりもエッチング耐性が優れていることを利用して、ホト・エッチングにより電荷保持用キャパシタ部のみ電圧CV-P-SiO₂膜を遮断的に取り除く(第3図(d))。以下の工場は第3回(d)～(f)と同一である。すなわち、ホト・エッチングによりコンタクトホールを形成し、次いでAl等の金属膜を堆積、ホト・エッチングにより二層目の電極電極108を形成する(第1図(e))。最後にITO膜等の透明導電膜を堆積して、ホト・エッチングによりバーニング、電荷保持用キャパシタを形成する(第1図(f))。

上記の実施例において、一層目と二層目の層間絶縁膜の組み合せは、一層目が二層目の層

間絶縁膜よりエッチング耐性が優れており、二層目のみの露呈エッチングが可能な組合せであれば良い。例えば、一層目がECRマイクロ波プラズマCVD-SiO₂膜、二層目が電圧CV-P-SiO₂膜、一層目が電圧CV-P-SiO₂膜、二層目が電圧CV-P-SiN_x膜、二層目が電圧CV-P-SiO₂膜等の組合せが考えられる。

また、上記の実施例において、層間絶縁膜の電界遮断の層構造として、2層目の層間絶縁膜にエッチング耐性の優れた絶縁膜を形成し、この絶縁膜をエッチングのストップとして用いることもできる。この場合、電荷保持用キャパシタ部の絶縁膜は、一層目と二層目の層間絶縁膜で形成されることになる。例えば、一層目が電圧CV-P-SiO₂膜又は電圧CV-P-SiO₂膜、二層目がECRマイクロ波プラズマCVD-SiO₂膜又はプラズマCVD-SiN_x膜、三層目が電圧CV-P-SiO₂膜又は電圧CV-P-SiO₂膜等

特開平2-44769 (5)

の組合せが考えられる。

(発明の番号)

本発明によれば、ITO膜等の透明性に優れた透明導電膜を電荷保持用キャパシタの下部電極に用いた場合でも、透明導電膜の膜厚を高く、電荷保持用キャパシタ部の膜厚を透明性高く薄く形成できるので、ゲート及びクロス線の配置の欠陥を発生することなく、透明表示に十分な容量値を有するキャパシタを容易に形成できる。これにより、表示特性及び動作特性が良好で透視性の高い導電トランジスタを多層りやすく形成することができる。

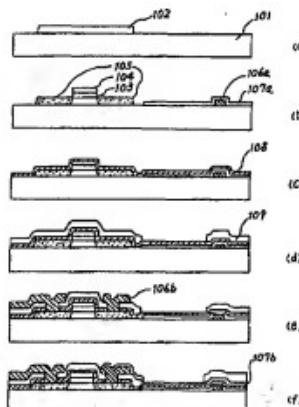
4. 製造の簡単な説明

図1図は本発明の一実施例による多層品シリコン TFT の新規構造及びその製造工程を示す図。図2図はアクティブラックス方式による一端子の等価回路図。図3図及び図4図は従来構造の多層品シリコン TFT の新規構造及びその製造工程を示す図である。

101—ガラス基板、102—多孔性シリコン膜、
リコン膜、103—電極 CVD-S 104 膜。

代理人 井澤士 小川勝男


第1図



第2図

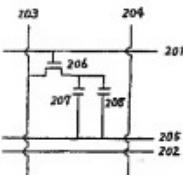
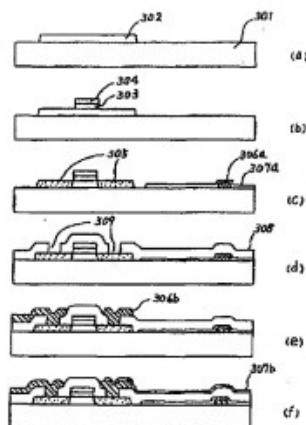
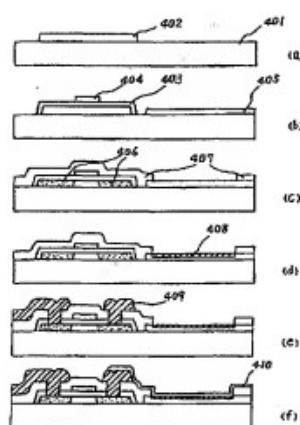


図3



特開平2-44769 (8)

図4



第1頁の総数

④Int. CL. 1'

H 01 · L 21/205
20/784

識別記号

特許登録番号

7739-5F

◎発明者 吉村

義夫

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内